

논문 2019-1-13 <http://dx.doi.org/10.29056/jsav.2019.06.13>

프로브 핀의 전기적 성능 분석

김문정*

Analysis of Electrical Performance on Probe Pin

Moonjung Kim*

요 약

본 논문은 프로브 핀에 대한 S-파라미터 시뮬레이션과 특성 임피던스 시뮬레이션을 수행하였고 이를 통해 프로브 핀의 고주파 성능을 분석하였다. 프로브 핀은 중앙의 한 개의 신호 핀과 상하좌우의 네 개의 접지 핀으로 배치하였다. 프로브 핀 사이의 간격을 0.35 mm, 0.40 mm, 0.50 mm으로 증가시키면서 프로브 핀의 삽입손실과 반사손실을 계산하였다. 반사손실의 주기적인 공진 현상으로 인해 프로브 핀은 서로 다른 삽입손실 특성을 가진다. 또한 프로브 핀의 배치와 피치 변화에 따른 특성 임피던스 분석을 수행하였다. 동일한 피치에서 특성 임피던스가 50 Ω에 근접하는 접지 핀 개수가 있음을 확인하였다.

Abstract

In this paper, simulations of S-parameter and characteristic impedance for the probe pin are performed and its high-frequency performance is analyzed. The probe pins are arranged with one signal pin in the center and four ground pins on the top, bottom, left and right sides. The insertion loss and return loss of the probe pin are calculated while increasing the separation between the probe pins to 0.35 mm, 0.40 mm, and 0.50 mm, respectively. It is confirmed that the probe pin has different features of the insertion loss due to its periodic resonance phenomenon. Effect of the characteristic impedance on pitch and assignment of the probe pin is also analyzed. It is verified that there are a number of ground pins whose characteristic impedance is close to 50 Ω.

한글키워드 : 프로브 핀, 피치, 특성 임피던스, 고주파, 삽입손실, 반사손실

keywords : probe pin, pitch, characteristic impedance, high-frequency, insertion loss, reflection loss

1. 서 론

최근 반도체 제품은 고속 동작화, 소형화, 다기능화 방향으로 기술 발전이 빠르게 전개되고 있다. 이에 따라 반도체 제품의 전기적 성능을 검

사하는 테스트 장비 및 테스트 소켓도 이러한 반도체 제품의 기술적 동향에 대응할 수 있는 기술 개발이 필요하다[1][2].

프로브 핀(Probe Pin)은 테스트 소켓 내부에 삽입되어 테스트 보드와 반도체 패키지를 전기적으로 연결해 주는 역할을 수행한다. 따라서 반도체 제품의 고속 동작 검증을 위해서는 프로브 핀의 고주파 성능이 일정 수준 이상으로 유지되어

* 공주대학교 전기전자제어공학부

(email: mjkim@kongju.ac.kr)

접수일자: 2019.06.02. 심사완료: 2019.06.11.

게재확정: 2019.06.20.

야 한다. 또한 반도체 제품의 소형화 및 미세 피치화 경향으로 인해서 프로브 핀 또한 길이가 짧아지고 핀 간격이 점차 줄어들고 있다[3].

최근 프로브 핀의 고속 동작화, 소형화 및 미세 피치화 경향으로 인해서 제품 설계 후 시제품 제작 및 성능 평가를 진행하는 기존의 개발 프로세스는 개발 비용과 개발 기간의 증가를 초래할 수 있다. 이를 해결하기 위해서 제품 개발의 설계 단계에서 시뮬레이션을 통한 성능 평가 및 분석을 수행하여 프로브 핀 설계의 선행 검증을 진행하여야 한다. 본 논문에서는 프로브 핀의 전기적 성능 분석을 위한 S-파라미터 시뮬레이션과 특성 임피던스 시뮬레이션의 연구를 수행한다.

2. 프로브 핀의 구조 및 배치

프로브 핀은 플런저(Plunger), 배럴(Barrel), 스프링(Spring) 부품으로 구성되어 있다. 그림 1은 프로브 핀의 구조를 보여주고 있다. 상부 및 하부 플런저는 테스트 보드, 반도체 패키지와 물리적으로 접촉하여 서로 전기적으로 연결한다. 배럴 내부에는 스프링이 내장되어 있고, 상하 플런저와 맞닿아 있다. 일반적으로 프로브 핀의 전류는 두 가지 경로를 가지는 것으로 알려져 있다[3]. 첫 번째 전류 경로는 상부 플런저, 배럴, 하부 플런저 순으로 지나간다. 두 번째 전류 경로는 상부 플런저, 스프링, 하부 플런저를 통과한다. 프로브 핀 내부에서 스프링이 배럴과 다수의 물리적 접촉이 이루어질 경우, 복잡한 전류 경로가 발생할 수 있다. 그러나 스프링이 배럴에 비해 전류 경로가 충분히 긴 관계로 실제 주요 전류 경로는 배럴을 통해 지나가게 된다. 따라서 스프링은 프로브 핀의 전류 형성과 전기적 성능에 영향이 크지 않은 것으로 알려져 있다[3]. 이에 본 연구에서는 프로브 핀의 실질적인 전류 경

로를 고려하여 시뮬레이션 과정에서 스프링을 제외하여 전기적 성능 분석을 수행하였다.

그림 2는 프로브 핀의 배치를 보여주고 있다. 신호 핀은 중앙에 배치되어 있으며, 상하좌우로 4개의 접지 핀이 놓여 있다. 피치(Pitch)는 핀 사이의 간격으로 정의되며, 본 연구에서는 피치 변화에 따른 프로브 핀의 전기적 성능 변화를 분석하였다. 플런저와 배럴의 소재는 각각 베릴륨동과 인청동이고 각각의 전기전도도는 14.5 MS/m, 6.3 MS/m를 가진다. 하우징(Housing) 내부에 다수의 관통 홀이 있으며, 여기에 프로브 핀이 내장되어 있다. 하우징 소재는 울템(Ultem)이며 유전상수 3.2를 가진다. 동작 상태에서 프로브 핀의 전체 길이는 4.2 mm이다.

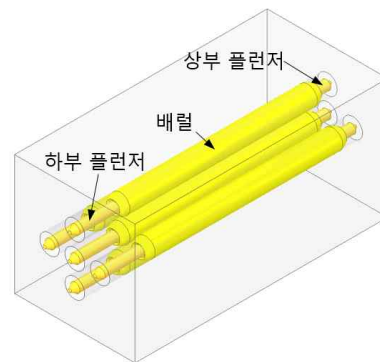


그림 1. 프로브 핀의 구조
Fig. 1. Structure of probe pin

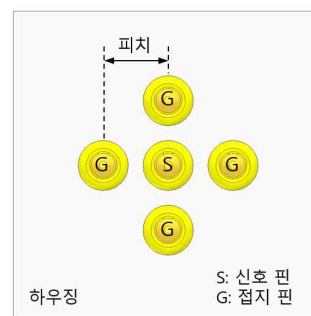


그림 2. 프로브 핀의 배치
Fig. 2. Assignment of probe pin

3. 시뮬레이션 결과 및 분석

본 논문에서는 프로브 핀의 설계 단계에서 전기적 성능 평가와 분석을 목적으로 S-파라미터 시뮬레이션과 특성 임피던스 시뮬레이션을 진행하였다. S-파라미터 시뮬레이션은 ANSYS HFSS를 사용하여 수행하였다. 그림 1과 그림 2에 제시되어 있는 프로브 핀 구조와 배치를 적용하여 총 5개의 프로브 핀의 3차원 모델링을 시뮬레이션에 반영하였다. 프로브 핀에 대한 고속 동작의 가능 여부를 판단하기 위해서 계산 주파수 범위를 10 MHz에서 40 GHz까지 설정하였다.

최근 반도체 패키지가 소형화됨에 따라 반도체 패키지의 피치도 점차 작아지고 있다. 이러한 소형화 동향을 고려하여 본 연구에서는 프로브 핀 사이의 간격(피치) 변화에 따른 프로브 핀의 전기적 성능 변화를 분석하였다. 그림 3은 프로브 핀의 피치가 각각 0.35 mm, 0.40 mm, 0.50 mm일 경우 프로브 핀의 삽입손실을 보여주고 있다. 피치 변화에 따라 유사한 그래프 경향을 보이나 결론적으로 서로 다른 삽입손실 특성을 보여주고 있다. 프로브 핀의 삽입손실은 모든 피치에서 10 GHz까지 지속적으로 증가한다. 10 GHz를 지나서는 삽입손실이 피치별로 다르게 감소하다 다시 증가하는 현상이 나타난다. 삽입손실의 주파수 특성으로 판단하면, 0.35 mm 피치의 프로브 핀이 가장 우수한 삽입손실 특성을 가진다. 다음으로 0.40 mm 피치, 0.50 mm 피치 순으로 삽입손실 성능이 우수하다.

그림 3의 삽입손실 그래프 특성을 분석하기 위해서는 프로브 핀의 반사손실을 확인하여야 한다. 그림 4는 프로브 핀의 피치별 반사손실을 보여준다. 10 GHz 또는 15 GHz에서 최대 손실이 나타났다가 다시 감소하여 20 GHz 또는 30 GHz에서 최소 손실 특성이 보인다. 즉 프로브 핀의 반사손실은 모든 피치에서 공통적으로 공진 특성

이 나타난다. 예를 들어 0.50 mm 피치 프로브 핀의 경우, 10 GHz 인근에서 최대 손실 특성을 보이며, 20 GHz 인근에서 최소 손실 특성이 나타난다. 또한 40 GHz 이상에서도 손실이 증가하는 경향을 보이고 있다. 이를 통해 반사손실이 주기적인 특성을 보이고 있음을 확인할 수 있다. 마찬가지로 0.35 mm 피치와 0.40 mm 피치의 프로브 핀에서도 반사손실은 최대 손실과 최소 손실이 반복적으로 발생하게 된다. 이러한 반사손실의 주기적인 특성으로 인해서 삽입손실 또한 주기적인 손실 특성을 가지게 된다.

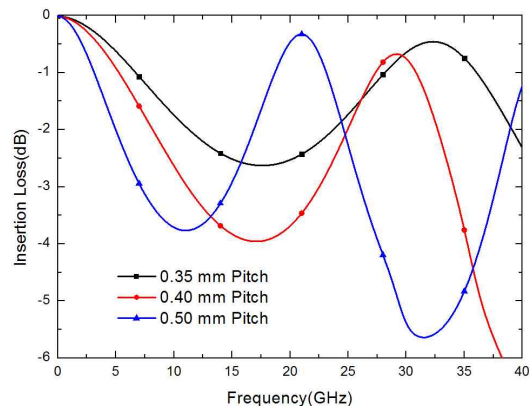


그림 3. 프로브 핀의 삽입손실
Fig. 3. Insertion loss of probe pin

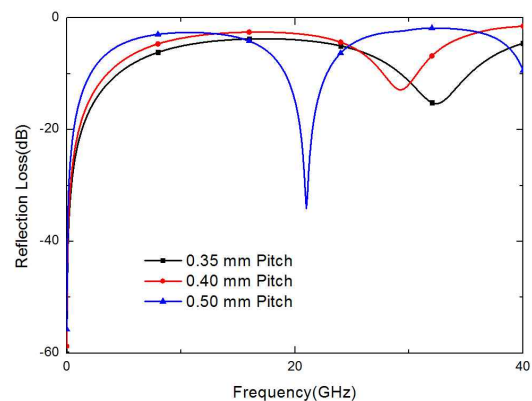


그림 4. 프로브 핀의 반사손실
Fig. 4. Reflection loss of probe pin

피치 변화에 따라서 프로브 핀의 삽입손실과 반사손실이 달라지는 현상을 확인하였다. 이러한 피치 변화에 대한 프로브 핀의 전기적 성능 영향을 분석하기 위해서 특성 임피던스 분석을 수행하였다. 프로브 핀의 고주파 성능은 피치뿐만 아니라 접지 핀 개수에도 영향을 받는 것으로 알려져 있다[3]. 이를 고려하여 본 연구의 특성 임피던스 시뮬레이션은 프로브 핀의 피치 변화와 접지 핀 개수를 변수로 설정하였다. ANSYS Q3D를 사용하여 프로브 핀의 커패시턴스(Capacitance), 인덕턴스(Inductance), 특성 임피던스(Characteristic Impedance, Z_0)를 계산하였다.

표 1. 프로브 핀의 특성 임피던스
Table 1. Characteristic impedance of probe pin

접지 핀 개수	Pitch (mm)	커패시턴스 (pF)	인덕턴스 (nH)	특성임피던스 (Ω)
1	0.50	0.318	1.779	74.8
	0.40	0.373	1.669	66.9
	0.35	0.532	1.477	52.7
2	0.50	0.545	1.093	44.8
	0.40	0.641	1.049	40.5
	0.35	0.927	0.918	31.5
3	0.50	0.659	0.919	37.3
	0.40	0.786	0.893	33.7
	0.35	1.151	0.781	26.0
4	0.50	0.770	0.804	32.3
	0.40	0.927	0.792	29.2
	0.35	1.371	0.689	22.4

프로브 핀의 고주파 성능은 특성 임피던스에 크게 영향을 받는 것으로 알려져 있다[4-6]. 특성 임피던스(Z_0)는 커패시턴스와 인덕턴스로 결정되며, 식 (1)과 같이 정의된다.

$$Z_0 = \sqrt{\frac{L}{C}} \quad (1)$$

일반적으로 프로브 핀의 커패시턴스와 인덕턴스는 유전상수와 투자상수와 같은 소재 정보, 프로브 핀 자체의 구조와 형상, 신호 핀 및 접지 핀의 배치에 영향을 받는다.

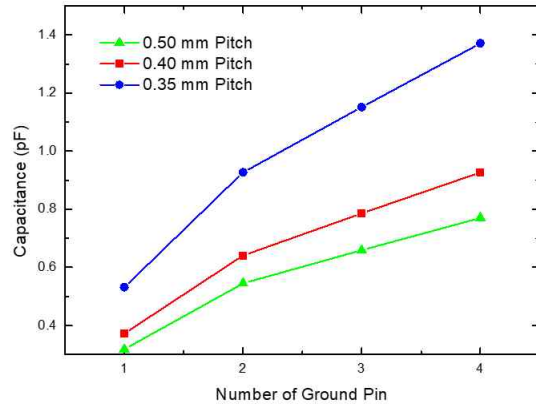


그림 5. 프로브 핀의 커패시턴스
Fig. 5. Capacitance of probe pin

표 1은 프로브 핀의 피치 변화와 접지 핀 개수에 따른 프로브 핀의 커패시턴스, 인덕턴스, 특성 임피던스 계산 결과를 보여주고 있다. 표 1에서 알 수 있듯이, 동일한 접지 핀 개수에서 피치가 증가할수록 프로브 핀의 커패시턴스는 감소한다. 그림 5는 접지 핀 개수 변화에 따른 프로브 핀의 커패시턴스 결과를 보여주고 있다. 동일한 피치에서 접지 핀 개수가 증가할수록 프로브 핀의 커패시턴스는 증가하는 경향을 가진다. 접지 핀 개수가 증가하면 신호 핀과 접지 핀 사이의 상호 커패시턴스가 병렬로 추가된다. 따라서 전체 프로브 핀의 커패시턴스는 추가된 상호 커패시턴스 값만큼 증가하게 된다. 그림 5에서 알 수 있듯이, 접지 핀이 한 개에서 두 개로 증가할 때, 커패시턴스의 변화량이 가장 크다. 이는 접지 핀 개수의 변동량이 한 개에서 두 개로 증가할 때 가장 크기 때문에 발생하는 현상으로 볼 수 있다.

피치가 증가할수록 프로브 핀의 커패시턴스는

감소한다. 이는 프로브 핀 사이의 피치가 증가할수록 프로브 핀 사이의 간격 또한 증가하게 되고 이로 인해 프로브 핀의 커패시턴스가 감소하게 된다.

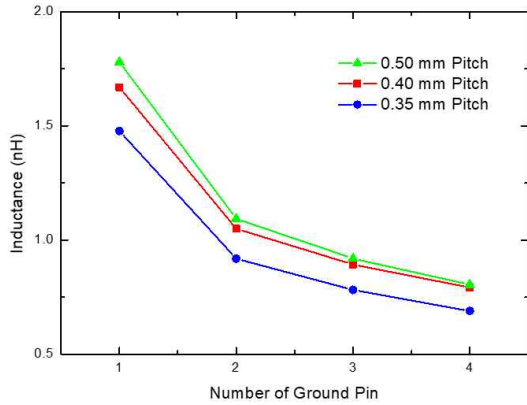


그림 6. 프로브 핀의 인덕턴스
Fig. 6. Inductance of probe pin

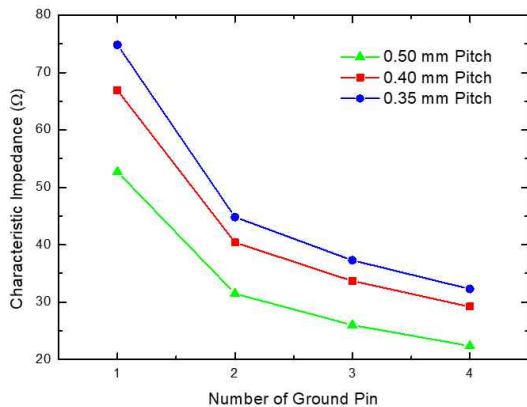


그림 7. 프로브 핀의 특성 임피던스
Fig. 7. Characteristic impedance of probe pin

표 1의 인덕턴스 결과를 보면, 동일한 접지 핀 개수에서 피치가 증가할수록 프로브 핀의 인덕턴스는 증가한다. 신호 핀과 접지 핀 사이의 피치가 증가수록 상호 인덕턴스가 감소하게 된다. 이로 인해 루프 인덕턴스는 증가하게 된다. 그림 6은 접지 핀 개수 변화에 따른 프로브 핀의 인덕턴스 결과를 보여주고 있다. 동일한 피치에서 접

지 핀의 개수가 증가할수록 프로브 핀의 인덕턴스는 감소하는 경향을 가진다. 접지 핀의 개수가 증가하면 신호 핀과 접지 핀 사이의 새로운 궤환 경로가 병렬로 연결된다. 따라서 전체 프로브 핀의 인덕턴스는 감소하게 된다. 그림 6의 그래프 경향을 보면, 접지 핀이 한 개에서 두 개로 증가할 때, 인덕턴스의 변화량이 가장 크다. 그림 5의 커패시턴스 변화량과 동일하게 접지 핀 개수의 변동량이 한 개에서 두 개로 증가할 때 가장 크기 때문에 이러한 현상이 발생하게 된다.

표 1의 특성 임피던스 결과를 보면, 동일한 접지 핀 개수에서 피치가 증가할수록 프로브 핀의 특성 임피던스는 증가한다. 피치가 증가할수록 프로브 핀의 커패시턴스는 감소하고 반면에 인덕턴스가 증가한다. 따라서 이러한 커패시턴스와 인덕턴스의 변화와 식(1)에 의해서 프로브 핀의 특성 임피던스는 증가하게 된다.

그림 7은 접지 핀 개수 변화에 따른 프로브 핀의 특성 임피던스 결과를 보여주고 있다. 동일한 피치에서 접지 핀의 개수가 증가할수록 프로브 핀의 특성 임피던스는 감소하는 경향을 가진다. 그림 5와 그림 6에서 보듯이 접지 핀의 개수가 증가하면 프로브 핀의 커패시턴스는 증가하고 반면에 인덕턴스는 감소한다. 이로 인해 프로브 핀의 특성 임피던스는 감소하게 된다. 그림 7의 그래프 경향을 보면, 접지 핀이 한 개에서 두 개로 증가할 때, 특성 임피던스의 변화량이 가장 크다. 이러한 결과는 접지 핀 개수의 변동량이 한 개에서 두 개로 증가할 때 커패시턴스와 인덕턴스의 변화량이 가장 크기 때문이다.

프로브 핀의 특성 임피던스가 50 Ω에 근접할수록 우수한 고주파 성능을 가진다. 그림 7의 0.50 mm 피치와 0.40 mm 피치의 경우, 접지 핀의 개수가 2개 일 때 50 Ω에 보다 근접하게 된다. 반면에 0.35 mm 피치 경우, 접지 핀의 개수가 1개 일 때 50 Ω에 근접한다. 즉 각 피치마다

최적의 고주파 성능을 확보할 수 있는 접지 핀의 개수가 존재함을 알 수 있다.

4. 결 론

본 논문에서는 프로브 핀의 S-파라미터 시뮬레이션과 특성 임피던스 시뮬레이션을 통해 프로브 핀의 고주파 성능을 분석하였다. 프로브 핀의 배치는 중앙의 신호 핀 한 개와 상하좌우의 접지 핀 4개로 구성되어 있다. 프로브 핀의 피치가 0.35 mm, 0.40 mm, 0.50 mm일 경우의 삽입손실과 반사손실을 계산하였다. 주기적인 공진 현상으로 인해 서로 다른 삽입손실과 반사손실 특성을 가짐을 확인하였다. 프로브 핀의 배치와 피치 변화에 따른 특성 임피던스 분석을 수행하였다. 동일한 피치 조건 하에서 특성 임피던스 50 Ω에 보다 근접하는 접지 핀 개수가 있음을 확인하였다.

Acknowledgement

이 논문은 2017년도 정부(교육부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(No. 2017R1D1A3B03033760).

참 고 문 헌

- [1] B. Tunaboylu, "Electrical Characterization of Test Sockets With Novel Contactors", IEEE Transactions on Device and Materials Reliability, Vol. 14, No. 1, pp.580-582, Mar. 2014.
DOI: <https://doi.org/10.1109/tdmr.2012.2209888>
- [2] Ruey-Bo Sun, Chang-Yi Wen, and Ruey-Beei Wu, "A New Isolation Structure of Pogo Pins for Crosstalk Reduction in a Test Socket", IEEE

Transactions on Components, Packaging and Manufacturing Technology, Vol. 1, No. 4, pp.586-594, Apr. 2011.

DOI: <https://doi.org/10.1109/tcpmt.2010.2102491>

- [3] M. Kim, "Effect of Signal-Ground Pin Assignments on Signal Transmission Characteristics of Barrel-Less Pogo Pin", International Journal of Digital Content Technology and Its Applications, Vol. 7, No. 11, pp.274-279, Jul. 2013.
DOI: <https://doi.org/10.4156/jdcta.vol7.issue11.34>
- [4] 양정규, 김문정, "특성임피던스 분석을 사용한 커넥터 성능향상", 전자공학회논문지-TC, 48권, 9호, pp.47-53, 2011.
<http://www.dbpia.co.kr/journal/articleDetail?nodeId=NODE01698979>
- [5] Chee-Hoe Lin, "Novel Impedance Matching Technique for Pogo Pin Design", Proceedings of IEEE 18th Electronics Packaging Technology Conference, pp. 528-531, 2016.
DOI: <https://doi.org/10.1109/eptc.2016.7861535>
- [6] Ruey-Bo Sun et al., "Compromise Impedance Match Design for Pogo Pins With Different Single-Ended and Differential Signal-Ground Patterns", IEEE Transactions on Advanced Packaging, Vol. 33, No. 4, pp.953-960, 2010.
DOI: <https://doi.org/10.1109/tadvp.2010.2044794>

저 자 소 개



김문정(Moonjung Kim)

1997.2 경북대학교 전자공학과 학사
1999.2 한국과학기술원 전기 및 전자공학과 석사
2003.8 한국과학기술원 전기 및 전자공학과 박사
2006.9-현재 공주대학교 전기전자제어공학부 교수
<주관심분야> 신호무결성, 전원무결성