

논문 2019-1-12 <http://dx.doi.org/10.29056/jsav.2019.06.12>

# 전압제어 링 발진기용 저-면적 듀티 사이클 보정 회로

유병재\*, 조현묵\*\*†

## Low-area Duty Cycle Correction Circuit for Voltage-Controlled Ring Oscillator

Byeong-Jae Yu\*, Hyun-Mook Cho\*\*†

### 요 약

최근 저전력 고속 디지털 데이터 통신을 구현 하기위해 많은 기술들이 개발되고 있는 추세이며 듀티사이클 보정에 관련된 기술도 그중 하나이다. 본 논문에서는 전압제어 링 발진기용 저-면적 듀티사이클 보정 회로를 제안하였다. 듀티사이클 보정 회로는 전압제어 링 발진기의 180도 위상차이를 이용하여 듀티사이클을 보정하는 회로이며, 제안된 저-면적 듀티사이클 회로는 기존의 플립플롭을 TSPC(True Single Phase Clocking) 플립플롭으로 변경하여 회로를 구성하였고 이로 인하여 저-면적 고성능 회로를 구현하였다. 일반적인 플립플롭을 대신하여 TSPC플립플롭을 사용하여 기존 회로 대비 저-면적으로 회로 구현이 가능하며 고속 동작에 용이하여 저-전력용 고성능 회로에 활용될 것으로 기대된다.

### Abstract

Recently, many technologies have been developed to realize low power high speed digital data communication and one of them is related to duty cycle correction. In this paper, a low-area duty cycle correction circuit for a voltage-controlled ring generator is proposed. The duty cycle correction circuit is a circuit that corrects the duty cycle using a 180 degree phase difference of a voltage controlled ring oscillator. The proposed low-area duty cycle circuit changes a conventional flip-flop to a true single phase clocking (TSPC) flip-flop And a low-area high-performance circuit is realized. By using TSPC flip-flop instead of general flip-flop, it is possible to realize low-area circuit compared to existing circuit, and it is expected to be used for high-performance circuit for low-power because it is easy to operate at high speed.

**한글키워드 :** 듀티사이클, 전압제어링발진기, 플립플롭, 저전력, 고성능

**keywords :** Duty Cycle, Voltage Control Ring Oscillator, Flip-Flop, Low Power, High Performance

## 1. 서 론

최근 반도체의 공정기술발전으로 반도체에 구현된 회로 면적 및 성능의 비약적인 발전을 이루었다. 반도체 공정기술발전으로 회로 면적에 있어서 가장 큰 기술발전을 이루었고 성능 면에서도 비약적인 발전이 이루어졌다. 하지만 반도체

\* ㈜아라레연구소

\*\* 공주대학교 전기전자제어공학부

† 교신저자: 조현묵(email: hmchov@kongju.ac.kr)

접수일자: 2019.06.02. 심사완료: 2019.06.15.

게재확정: 2019.06.20.

공정이 미세 할수록 기본적인 누설전류의 문제가 발생하고 있다[1]. 또한 고성능 회로에서는 높은 주파수가 필요하며 이로 인하여 발열 및 전력문제 등이 이슈화되고 있다. 이로 인하여 저전력 기술 중 높은 주파수의 클럭을 절반으로 낮추어 사용할 수 있는 더블엡지 디지털 설계 기술 등이 요구되고 있다[2]. 더블엡지 기술을 사용하기 위해서는 듀티사이클이 일정해야 하며 비율 또한 절반에 가까워야 한다. 더블엡지를 일반적으로 사용하는 곳은 DDR(Double-Data-Rate) 메모리 쪽에서 주로 사용되고 있다.

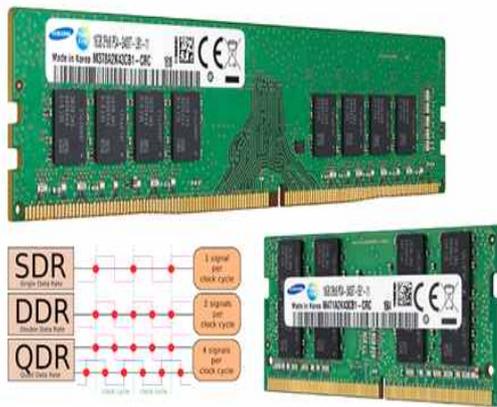


그림 1. DDR 메모리와 데이터 전송기술  
Fig. 1. DDR memory and data transfer technology.

일반적으로 Data Transfer 는 Clock 1 Cycle 당 하나의 데이터 이동하기 때문에 DDR기술을 이용하면 Clock 1 Cycle당 2개의 데이터 이동이 가능하다. DDR 기술을 이용하려면 듀티사이클 보정 회로가 필수적으로 필요하며 최근 DDR 기술보다 더 낮은 Clock rate를 가지기 위해서 QDR 기술이 개발되고 있다. 본 연구에서는 50:50 듀티사이클을 필요로 하는 회로에 적용될 수 있는 저-면적 고성능 듀티사이클 보정 회로를 제안하였으며 변경된 플립플롭을 사용하여 저-면적 듀티사이클 보정 회로를 구현하였다.

## 2. 본문

### 2.1 듀티사이클 보정회로

일반적인 고속 클럭 발생기에는 임의의 입력 듀티 클럭을 받아 50%의 출력 듀티 클럭 신호를 생성해 낼 수 있는 클럭 듀티 보정회로 (Duty-Cycle Correction: DCC)[3][4]가 DLL이나 PLL 기반 클럭 발생기의 입력단이나 출력단에 필수적으로 추가된다. 기본적인 듀티 사이클 보정 회로를 그림 2에 나타내었다. 제 1 VCO 출력 클럭(P0) 및 제 1 VCO 출력 클럭(P0)와 180도 위상차를 갖는 제 2 VCO 출력 클럭(P180)을 입력으로 받아서 제 1 PLL 출력 클럭을 출력한다.

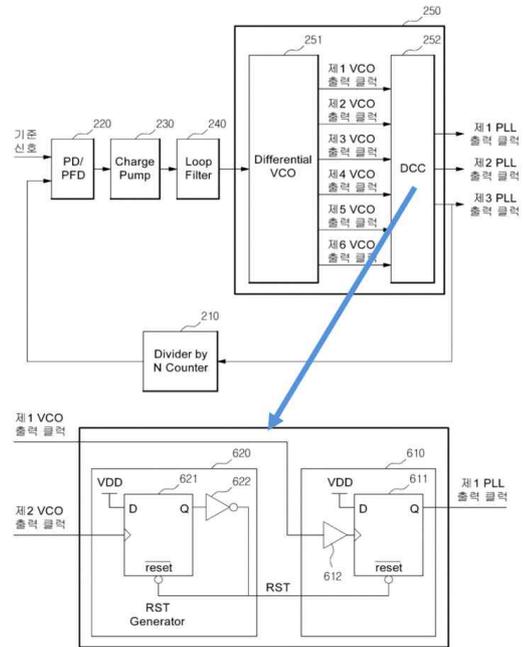


그림 2. PLL 및 듀티 사이클 보정회로  
Fig. 2. PLL and Duty Cycle Correction Circuit

클럭 신호 출력부는 클럭 단에 제 1 VCO 출력 클럭이 입력되고, 데이터 단(D)에 VDD 또는 하이(high) 신호가 입력되고, 반전 리셋 단(reset)에 리셋 신호 발생부의 출력이 입력되어, 제 1

PLL 출력 클럭을 출력하는 제 1 플립플롭을 포함한다. 리셋 신호 발생부는 클럭 단에 제 2 VCO 출력 클럭(P180)가 입력되고, 데이터 단(D)에 VDD 또는 하이(high) 신호가 입력되고, 리셋 단(reset)에 리셋 신호 발생부의 출력이 입력되는 제 2 플립플롭을 포함한다. 또한, 제 1 지연기에 의한 지연 시간  $t1$  및 제 2 지연기에 의한 지연 시간  $t2$ 는 제 1 플립플롭 및 제 2 플립플롭의 지연을 고려하여 듀티비 50:50을 갖는 클럭(CLK)을 생성하기 위해 조절될 수 있다. 그림 3에 듀티 사이클 보정 회로의 동작을 설명하는 다이어그램을 나타내었다.

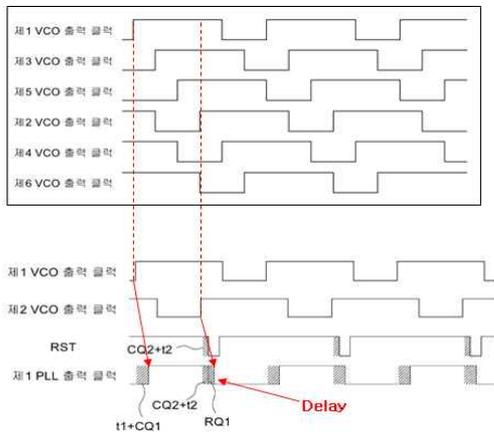


그림 3. 제안한 DCC 동작을 위한 다이어그램  
Fig. 3. Diagram for Proposed DCC

클럭 신호 출력부에 입력되는 제 1 VCO 출력 클럭(P0)이 로우에서 하이로 변화(상승 에지)하면, 제 1 지연기에 의한 지연 시간  $t1$  및 제 1 플립플롭에 입력된 제 1 VCO 출력 클럭(P0)이 출력에 반영되는 지연 시간  $CQ1$ 이 경과한 후에, 제 1 PLL 출력 클럭은 로우에서 하이로 변화한다. 또한, 제 1 PLL 출력 클럭의 파형을 살펴보면, 제 1 지연기에 의한 지연 시간 및 제 2 지연기에 의한 지연 시간은 아래 (식 1)과 같은 관계를 만족해야, 듀티비 50:50을 갖는 클럭(CLK)가 생성될 수 있음을 확인할 수 있다.

$$t1 + CQ1 = CQ2 + t2 + RQ1 \quad (\text{식 1})$$

## 2.2 제안된 듀티사이클 보정회로

TSPC(True Single Phase Clocked) 플립플롭은 일반적인 마스터 슬레이브 플립플롭에 비해 높은 동작 속도와 낮은 전력 소모로 인해서 고주파수 디바이더 등에 널리 사용된다. 그림 4에 제안된 TSPC 플립플롭[5]의 대표적인 회로를 나타내었다. 본 논문에서 제안하는 듀티사이클 보정 회로에 사용되는 TSPC 플립플롭 회로는 입력이 High로 고정되어있는 플립플롭 회로와 동일한 동작을 하는 회로이다.

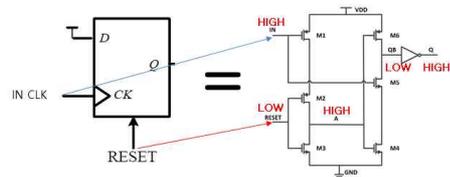


그림 4. TSPC 플립플롭과 동작  
Fig. 4. TSPC F/F and Operation

이 플립플롭은 8개의 트랜지스터로 구성되어 있으며, 플립플롭의 상태변화는 클럭의 상승에지에서 발생한다. 이 플립플롭은 한 종류의 클럭만을 사용하기 때문에 클럭스큐가 존재하지 않아서 레이스징 문제를 완전히 제거할 수 있으며, 회로 자체도 간단하기 때문에 고속 동작에 매우 적합한 구조이다. 그러나 TSPC 플립플롭은 고속 동작에는 유용하지만 데이터를 손실하는 단점을 가지고 있다. 따라서 회로 설계시 고속 동작을 위한 설계뿐만 아니라 데이터의 손실 시점을 잘 확인하여 적합한 곳에 사용해야 한다. TSPC 플립플롭의 동작을 살펴보면, 그림 4에서 입력과 상관없이 RESET 신호가 'high'일 때 A 노드는 'low'로 고정되며, QB노드 'high' 신호로 되고 최종적으로 Q는 'low' 신호를 출력하게 된다.

RESET 신호가 'low' 일 때 정상적인 플립플롭 동작을 하게 되며 입력 클럭이 'low'에서 'high'로 변경될 때 'high'로 프리차지된 A 노드와 턴-온된 M5로 인하여 QB 노드는 'low' 가 되며 최종적으로 Q는 'high' 출력신호를 내보낸다. A 노드의 누설전류로 유지 기간이 수 us로 데이터 유지 기간이 짧으나 본 논문의 경우, TSPC 플립플롭의 입력신호가 항상 토글되는 VCO에서 출력되는 신호이므로 문제가 되지 않는다.

### 3. 회로 성능 분석

기존의 듀티사이클 보정 회로에서 사용된 NAND GATE 마스터 슬레이브 플립플롭의 경우 CMOS 기준으로 34개의 소자가 들어가며 TG 기반의 마스터 슬레이브 플립플롭의 경우 20개의 소자가 들어가게 된다. TSPC 플립플롭의 경우 8개의 소자가 들어가게 된다. 기존 회로 대비 최대 1/4의 저 면적으로 회로를 구성할수 있으며 고성능 저전력 플립플롭을 사용하여 듀티사이클 보정 회로를 구성할 수 있다. 다만, TSPC 플립플롭 회로는 동적 동작시에 데이터 손실 문제가 발생한다. 그림 4에서 노드 A는 동적 동작 시에, 내부 기생 커패시턴스에 저장된 전이 데이터를 유지하며 플로팅 상태로 남아있게 된다. 누설 전류는 두 개의 연속된 클럭 에지사이 에 이들 노드를 방전시킬 수 있다. 따라서 이처럼 저하된 논리 레벨은 연속적인 다음 단에 더 큰 누설을 일으키는 전력상의 큰 손실을 가져오게 된다. 결국 그림 5에서 보는 바와 같이, 이 현상은 매우 낮은 주파수에서는 데이터 손실을 야기하게되고 전체적인 동작에 영향을 끼치게 된다[6].

그러나 이와 같은 TSPC 플립플롭의 데이터 손실 문제는 공정에 따라 다르겠지만, 동작속도가 us 이상에서 문제를 일으킨다. 그러나 그림 5에서 보는바와 같이 MHz 이상의 주파수에 동작하는

PLL 회로에서는 문제가 되지 않는다. 따라서, MHz 주파수 이상에서 동작하는 듀티보정회로에 적용하는데 아무런 문제가 없을 것으로 판단된다.

TSPC 플립플롭이 오랫동안 데이터를 지속하는 해야 하는 경우라면 누설 전류를 보상해줄 수 있는 회로를 추가하여 해결할 수도 있다[7-9]. 다만 그에 따른 면적이 추가되기 때문에 필요한 경우만 사용하는 것이 바람직하며 본 논문에서 사용되는 듀티사이클 보정회로용 TSPC에서는 불필요하다.

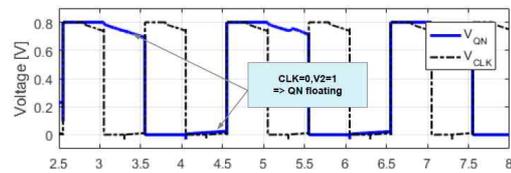


그림 5. 데이터 손실 문제  
Fig. 5. Data Loss Problem

### 4. 결론

본 논문에서는 기존의 듀티사이클 보정 회로 보다 면적이 적은 TSPC 플립플롭을 사용하여 저전력 고속 듀티사이클 보정 회로를 제안하였다. 제안된 듀티사이클 보정 회로는 기존의 일반적인 플립플롭을 대체하여 TSPC 플립플롭을 사용하며 기존 플립플롭 대비 저-면적 저전력의 특성을 가진다. TSPC 플립플롭은 데이터를 잃어버리는 단점을 가지고 있지만 데이터가 끊임없이 리프레쉬 되는 곳에서 고속 동작을 보장하며 면적이 작은 장점을 가지고 있다. 전압제어용 링 발진기는 클럭이기 때문에 끊임없이 위상이 변하는 성질이 있어 TSPC 플립플롭을 사용해도 무방하며 오히려 동작 속도가 빠른 TSPC가 높은 클럭을 요구하는 고속 회로에서 더 적합한 특성을 가진다[10]. 이러한 특성 때문에 제안하는 듀티사이클 보정 회로는 고속 동작이 요구되는 회로에 저-면적, 고성능 회로로 사용될 수 있다.

## 참고 문헌

- [1] Yee-Chia Yeo, Tsu-Jae King, and Chenming Hu, "MOSFET gate leakage modeling and selection guide for alternative gate dielectrics based on leakage considerations", IEEE Transactions on Electron Devices, Vol. 50, No. 4, pp.1027-1035, Apr. 2003.
- [2] "Double data rate From Wikipedia, the free encyclopedia", [https://en.wikipedia.org/wiki/Double\\_data\\_rate](https://en.wikipedia.org/wiki/Double_data_rate).
- [3] J. C. Ha, J. H. Lim, Y. J. Kim, W. Y. Jung, and J. K. Wee, "Unified all-digital duty cycle and phase correction circuit for QDR I/O interface", IET Electronics Letters, pp.1300-1301, 2008.
- [4] S. Han and J. Kim, "Hybrid duty-cycle corrector circuit with dual feedback loop", IET Electronics Letters, Vol. 47, No. 24, pp.1311-1313, 2011.
- [5] J. Yuan and C. Svensson, "High-speed CMOS circuit technique", IEEE J. Solid-State Circuits, Vol. 24, No. 1, pp.62-70, Feb. 1989.
- [6] Pengcheng Xu, Cecilia Gimeno, and David Bol, "Optimizing TSPC frequency dividers for always-on low-frequency applications in 28nm FDSOI CMOS", 2017 IEEE S3S, Oct. 2017.
- [7] Han-Yeol Lee and Young-Chan Jang, "A true single-phase clocked flip-flop with leakage current compensation", IEICE Electronics Express, 2012. <https://doi.org/10.1587/elex.9.1807>
- [8] N. Goncalves and H. J. De Man, "NORA: A racefree dynamic CMOS technique for pipelined logic structures", IEEE J. Solid-State Circuits, Vol. SC-18, pp. 261-266, 1983.
- [9] Z. J. L. M. Liu Rong and Duan Zhiguo, "A wearable acceleration sensor system for gait recognition", In 2nd IEEE Conference on Industrial Electronics and Applications, pp.2654-2659, 2007.
- [10] E. Vildjiounaite, S.-M. Mäkelä, M. Lindholm, R. Riihimäki, V. Kyllönen, J. Mäntyjärvi, and H. Ailisto, "Unobtrusive multimodal biometrics for ensuring privacy and information security with personal devices", Pervasive 2006, pp.187-201, 2006.

### 저자 소개



유병재(Byeongjae Yu)

2008.8 공주대 전기전자정보공학과 공학사  
 2012.2 공주대 정보통신공학과 공학석사  
 2011.9-2017.12 (주)더즈텍  
 2018.7-현재 (주)아라레연구소  
 <주관심분야> High Speed I/O, CDR, Analog IC



조현묵(Hyun-Mook Cho)

1989.2 고려대학교 전자공학과 공학사  
 1991.2 고려대학교 전자공학과 석사  
 1995.2 고려대학교 전자공학과 박사  
 2005.8-2006.7 Georgia Tech. 방문교수  
 2015.8-2016.7 Georgia Tech. 방문교수  
 1995.9-현재 공주대 전기전자제어공학부 교수  
 <주관심분야> 집적회로설계, 고속신호인터페이스IC, PLL & CDR