논문 2018-1-7

듀티 사이클 보정이 가능한 멀티 클럭 제너레이터

유병재*, 조현묵**†

Multi-Clock Generator with Duty-Cycle Correction

Byung-Jae Yoo*, Hyun-Mook Cho**†

요 약

본 논문에서는 고속 Soc 설계시 필요한 클록킹 회로의 핵심 기술인 클록 듀티 보정 회로(Duty-Cycle Corrector: DCC)에 대해서 설명한다. 즉, 기존 논-피드백 DCC의 문제점인 XOR의 미스매치와 초기값에 의한 위상반전 문제를 설명하고, 이를 보완하는 새로운 구조의 논-피드백 DCC 회로를 제안하였다. 제안된 DCC회로는 기존 논-피드백 DCC 대비 더 적은 회로면적을 사용하는 장점을 갖는다.

Abstract

In this paper, we introduce the clock duty correction circuit (DCC), which is a core technology of the clocking circuit required for high-speed SoC. The problem of the conventional non feedback DCC which has mismatch of the XOR and the phase inversion by the initial value is explained, and a new structure of the non feedback DCC circuit is proposed. The proposed DCC circuit has the advantage of using less circuit area compared to the conventional non feedback DCC circuit.

한글키워드 : 클럭듀티보정회로, 멀티클럭제너레이터, 위상고정루프, 전자파간섭

keywords : CDR(Clock Data Recovery) , Multi-clock generator, PLL(Phase-Locked Loop), EMI/EMC

1. 서 론

최근의 디지털 컴퓨팅용 프로세서들과 고속 DRAM 등의 메모리 디바이스, 그리고 SERDES (Serializer/Deserializer)와 같은 각종 유선 통신용 트랜시버 칩들은 GHz 이상의 고속 동작을 하는 것이 일반적이다. 이러한 동기화된 디지털 시스템 IC를 구동하는 클럭 신호는 일반적으로 PLL(Phase-Locked Loop)과 같은 온-칩 클럭 발생기를 통하여 생성되는데, 고속으로 동작하는 이 온-칩 클럭 신호의 지터(jitter) 특성과 듀티(duty-cycle ratio) 에러 특성은 시스템의 최대 성능을 좌우하게 된다. 메모리버스와 같은 고속 인터페이스 시스템에서 CPU에서 DRAM으로 공급되는 외부 기준 클록의 듀티는 클록의 상승 및 하강 에지를 모두 사용하기 위해 50%를 유지해야 하지만, 클럭 신호를 전송하는 채널상의노이즈와 손실 등으로 인해 DRAM의 입력 클록은 최대 수 %에 달하는 입력 클록 듀티 에러를 가

* ㈜SOCDH
** 공주대학교 전기전자제어공학부
† 교신저자:조현묵(email: hmchov@kongju.ac.kr)
접수일자: 2018.06.01. 심사완료: 2018.06.13.
게재확정: 2018.06.20.

질 수 있다. 또한, 온-칩 클럭 발생기의 출력 클럭은 디바이스 미스매치와 같은 공정상의 에러와 클럭 분배 네트워크 상의 노이즈, 임피던스 미스매칭 및 손실로 인해 왜곡될 수 있다. 따라서 일반적인 고속 클럭 발생기에는 임의의 입력 듀티 클럭을 받아 50%의 출력 듀티 클럭 신호를 생성해 낼 수 있는 클럭 듀티 보정회로 (Duty-Cycle Correction: DCC)가 DLL이나 PLL 기반 클록 발생기의 입력단이나 출력단에 필수적으로 추가되어 진다. 본 논문에서는 기존의 듀티 사이클 보정회로를 분석하고 회로의 초기값에 영향을 받지 않고 듀티비가 50:50의 클럭을 안정적으로 제공하는 새로운 회로를 제시한다.

2. 기존의 듀티 사이클 보정회로

DCC는 일반적으로 논-피드백(non-feedback) [1] 방식과 피드백 (feedback) [2-4] 방식으로 나눌 수 있다. 논-피드백 DCC는 오픈-루프 구조를 가지므로 공정 프로세스, 전압, 온도 변화에 대해 트래킹이 불가능하다는 단점을 가진다. 또한, 일반적으로 적은 면적과 적은 파워 소모를 가지고 빠른 록킹시간 (locking time)을 보이는 장점을 가지나, 동작 주파수 영역이 적고, 듀티 보정능력이 떨어지며, 높은 듀티 에러 등의 단점을 갖는다. 피드백 DCC는 아날로그 [2], 디지털 [3] 및 하이브리드 (혼성-모드) 방식 [4]으로 나누어 볼 수 있다. 아날로그 피드백 DCC는 일반적으로 파워다운시 라킹 정보를 손실하며, 긴 파워 전환 시간을 필요로 하므로, 파워 다운 모드에서 액티브 동작 모드로의 빠른 모드 변환이 불가능하다. 디지털 피드백 DCC는 파워다운 시 클록 듀티 정보를 디지털적으로 저장할 수 있으므로 빠른 파워전환 능력을 보유하는 장점을 가지나, 일반적으로 제한된 듀티 보정능력과 상대적으로 큰 듀티 에러를 갖는다. 혼성-모드 피드백 DCC [4] 방식은 아날로그 방식과 디지털 방식의 장점을 모두 포함한 것으로 넓은 주파수 동작 범위와 듀티 보정 레인지를 가지면서도 높은 정확도의 듀티 보정능력을 가지며, 파워다운시에도 듀티 정보를 저장할 수 있어 빠른 파워모드 전환 능력을 가진다. 기존의 Symmetrical exclusive OR(SXOR)를 이용한 듀티 사이클 보정 회로를 그림 1에 나타내었다.

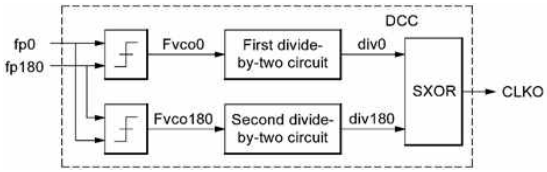

그림 1. 기존의 듀티사이클 보정회로
Fig. 1. Traditional Duty-cycle correction circuit

이 듀티 사이클 보정 회로는 두번째 VCO 출력 클럭(fp0)와 첫번째 VCO 출력 클럭(fp0)과 180도 위상 차를 갖는 두번째 VCO 출력 클럭(fp180)을 입력으로 받아서, SXOR를 이용하여 듀티비가 50:50인 클럭(CLK)을 출력한다. 그림 1에 나타낸 듀티 사이클 보정 회로의 동작을 설명하기 위한 타이밍 다이어그램을 그림 2에 나타내었다. 그림 2의 첫번째 다이어그램은 듀티 사이클 보정 회로에 초기 값이 없는 상태에서의 동작을 나타내며, 두 번째 다이어그램은 듀티 사이클 보정 회로에 초기 값이 존재하는 상태에서의 동작을 나타낸다. 다이어그램을 참조하면, 그림 1에 도시된 듀티 사이클 보정 회로는 입력되는 신호와 동일한 주파수를 가지며 50:50의 듀티비를 갖는 클럭(CLK)을 출력함을 확인할 수 있다. 그러나, 그림 2 에 도시된 듀티 사이클 보정 회로는 동일한 신호가 입력되더라도 회로 내부의 초기값에 따라 180도의 위상차를 갖는 클럭(CLK)가 출력되는 문제가 존재한다. 따라서, 본 논문에서

는 출력되는 클럭(CLK)이 듀티 사이클 보정 회로의 초기 값에 영향을 받지 않는 듀티 사이클 보정 기술을 제공하는데 목적이 있다. 또한, 본 논문에서는 듀티비가 50:50인 클럭을 생성하고 다상의 클럭을 생성하는 회로를 제안한다.

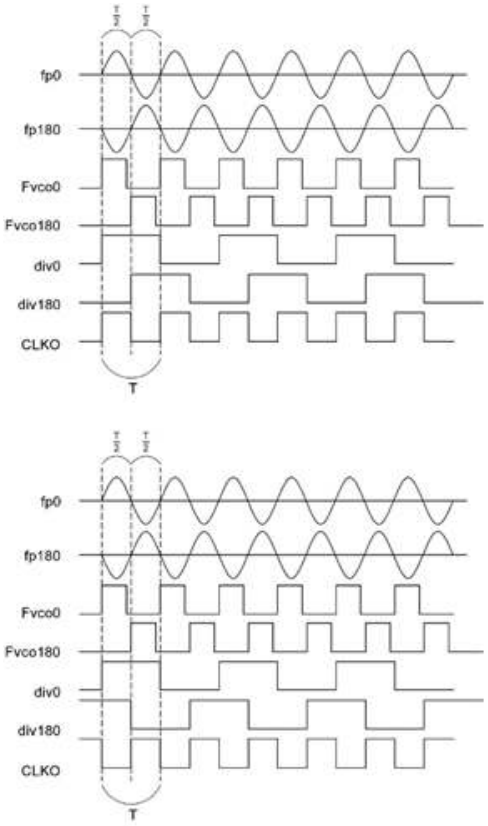

그림 2. 기존의 듀티사이클 보정회로 타이밍도
Fig. 2. Timing Diagram of Traditional DCC circuit

3. DCC 회로를 포함한 PLL 회로

본 논문에서 새롭게 제안하는 멀티 클럭 제너레이터의 응용을 위해서, 다상의 클럭을 생성할 수 있는 멀티 클럭 제너레이터를 포함하는 위상 고정 루프(PLL, Phases-Locked Loop)를 통해서 제안한 회로를 설명한다. 그림 3 에 멀티 클럭 제너레이터를 포함하는 PLL의 블록도를 나타내었다.

PLL은 분주기(Divider), 위상 검출기(Phase Detector), 차지 펌프(Charge Pump), 루프 필터(Loop Filter) 및 멀티 클럭 제너레이터를 포함한다. 또한, 멀티 클럭 제너레이터는 전압 제어 발진기(Voltage Controlled Oscillator) 및 듀티 사이클 보정 회로를 포함한다.

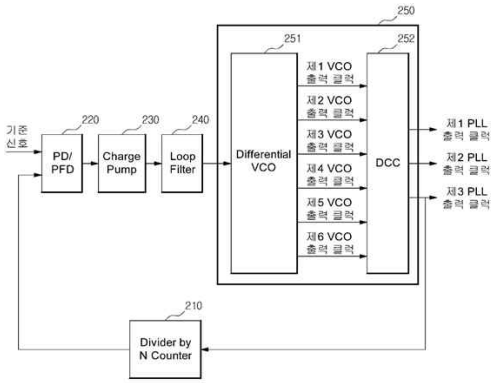

그림 3. 멀티 클럭 제너레이터를 갖는 PLL의 블록도
Fig. 3. Block Diagram of PLL with Multi-clock generator

분주기는 PLL의 출력 신호를 분주하여 낮은 주파수의 신호로 변환한다. 위상 검출기는 기준 신호와 분주된 PLL 출력 클럭을 입력 받고, 양자의 위상차 정보를 포함하는 펄스 신호를 출력한다. 차지 펌프는 펄스 신호를 입력 받고, 입력된 펄스 신호에 따라 루프 필터에 인가되는 전류의 량을 제어한다. 루프 필터는 차지 펌프의 출력 전류를 입력 받고, 전압 제어 발진기를 제어하기 위한 제어 전압을 출력한다. 또한, 루프 필터는 펄스 신호에 포함될 수 있는 고주파 등의 잡음을 제거할 수 있다. 전압 제어 발진기는 제어 전압을 입력 받고, 입력된 제어 전압에 따라 상호간 위상차를 갖는 복수의 VCO 출력 클럭을 출력한다. 예를 들어, 그림 3에서 전압 제어 발진기는 상호간에 60도 위상차를 갖는 6개의 VCO 출력

클럭을 출력한다. 그림 4에 전압제어발진기 회로를 나타내었다. 듀티 사이클 보정 회로는 상호간에 위상차를 갖는 VCO 출력 클럭을 입력 받고, 입력된 VCO 출력 클럭을 이용하여 듀티 사이클이 보정된 클럭인 PLL 출력 클럭을 출력한다.

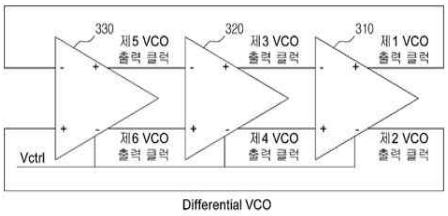

그림 4. 전압 제어 발진기
Fig. 4. Voltage Controlled Oscillator

전압 제어 발진기는 제어 신호(Vctrl)에 따라 입력 신호와 동일한 위상을 갖는 제1 VCO 출력 클럭(P0) 및 제 1 VCO 출력 클럭(P0)과 180도 위상 차를 가지는 제 2 VCO 출력 클럭(P180)를 출력하는 첫 번째 셀, 제어 신호(Vctrl)에 따라 입력 신호와 120도 위상 차를 갖는 제 3 VCO 출력 클럭(P120) 및 제3 VCO 출력 클럭(P120)과 180도 위상 차를 갖는 제4 VCO 출력 클럭(P300)를 출력하는 두 번째 셀 및 제어 신호(Vctrl)에 따라 입력 신호와 240도 위상 차를 갖는 제 5 VCO 출력 클럭(P240) 및 제 5 VCO 출력 클럭(P240)과 180도 위상 차를 갖는 제 6 VCO 출력 클럭(P60)를 출력하는 세 번째 셀을 포함한다. 그림 4에 도시된 전압 제어 발진기는 180도의 위상 차를 갖는 복수의 신호를 2개, 4개, 6개 등을 출력하는 구성으로도 구현될 수 있다. 그림 5에 VCO 출력 클럭의 다이어그램을 나타내었다.

전압 제어 발진기에서 출력되는 VCO 출력 클럭에 대한 다이어그램을 보면, 전압 제어 발진기의 출력 신호들은 2:1의 듀티비를 갖는다. 제 1 VCO 출력 클럭(P0)는 온 타임 듀티비 2:1을 가지며 일정한 주기를 갖는 클럭형태의 신호이다.

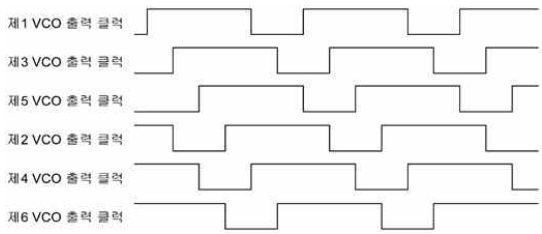

그림 5. VCO 출력 클럭 다이어그램
Fig. 5. VCO Output Clock Diagram

제2 VCO 출력 클럭(P120)는 제 1 VCO 출력 클럭(P0)과 동일한 주파수 및 온 타임 듀티비를 가지나, 에지의 상승 및 하강이 제 1 VCO 출력 클럭(P0) 보다 180도만큼 위상이 늦는다. 제 3 VCO 출력 클럭(P60)는 제1 VCO 출력 클럭(P0)와 동일한 주파수 및 온 타임 듀티비를 가지나 에지의 상승 및 하강이 제 1 VCO 출력 클럭(P0) 보다 60도만큼 위상이 늦는다. 나머지 출력 클럭들의 파형도 비슷한 유형을 갖는다. 그림 4에 도시된 전압 제어 발진기에 포함된 셀의 구조를 그림 6에 나타내었다.

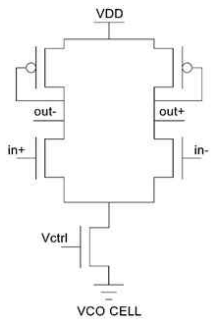

그림 6. 전압제어발진기 셀
Fig. 6. Voltage Controlled Oscillator Cell

셀은 소스 단이 VDD에 연결되고, 게이트 단이 드레인 단과 연결되며, 드레인단이 제 1 출력단(out-)에 연결되는 제 1 PMOS 트랜지스터, 드레인 단이 제 1 PMOS 트랜지스터의 드레인 단과 연결되고, 게이트 단이 제 1 입력단(in+)에 연

결되는 제 1 NMOS 트랜지스터, 소스 단이 VDD에 연결되고, 게이트 단이 드레인 단과 연결되며, 드레인단이 제2 출력단(out+)에 연결되는 제 2 PMOS 트랜지스터, 드레인 단이 제2 PMOS 트랜지스터의 드레인 단과 연결되고, 게이트 단이 제2 입력단(in-)에 연결되는 제 2 NMOS 트랜지스터 및 드레인 단이 제 1 NMOS 트랜지스터 및 제 2 NMOS 트랜지스터의 소스 단과 연결되고, 게이트가 제어 신호 입력 단과 연결되며, 소스 단이 접지와 연결되는 제 3 NMOS 트랜지스터로 구성된다.

4. 제안한 듀티 사이클 보정회로

본 논문에서 제안한 듀티 사이클 보정 회로를 그림 7에 나타내었다. 제 1 VCO 출력 클럭(P0) 및 제 1 VCO 출력 클럭(P0)와 180도 위상차를 갖는 제 2 VCO 출력 클럭(P180)를 입력 받고, 제 1 PLL 출력 클럭을 출력한다. 구체적으로, 듀티 사이클 보정 회로는 제 1 VCO 출력 클럭(P0)을 입력 받아 제 1 PLL 출력 클럭을 출력하는 클럭 신호 출력부 및 제2 VCO 출력 클럭(P180)을 입력 받아 클럭 신호 출력부의 반전 리셋 단(reset)에 입력되는 리셋 신호(RST)를 생성하는 리셋 신호 발생부를 포함한다.

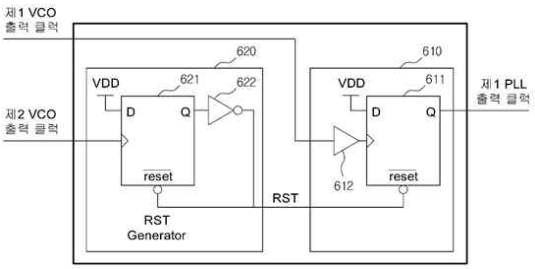

그림 7. 제안한 듀티 사이클 보정회로
Fig. 7. Proposed Duty Cycle Correction Circuit

클럭 신호 출력부는 클럭 단에 제 1 VCO 출력 클럭이 입력되고, 데이터 단(D)에 VDD 또는 하이(high) 신호가 입력되고, 반전 리셋 단(reset)에 리셋 신호 발생부의 출력이 입력되어, 제 1 PLL 출력 클럭을 출력하는 제 1 플립플롭을 포함한다. 여기서, 제 1 플립플롭은 D 플립플롭을 예시로 설명하였으나, 반드시 이에 한정되는 것은 아니다. 또한, 클럭 신호 출력부는 제 1 플립플롭에 입력되는 제 1 VCO 출력 클럭(P0)를 지연시키기 위한 제 1 지연기를 더 포함할 수 있다. 리셋 신호 발생부는 클럭 단에 제 2 VCO 출력 클럭(P180)가 입력되고, 데이터 단(D)에 VDD 또는 하이(high) 신호가 입력되고, 리셋 단(reset)에 리셋 신호 발생부의 출력이 입력되는 제 2 플립플롭을 포함한다. 또한, 리셋 신호 발생부는 플립플롭의 출력을 지연시키기 위한 제 2 지연기를 더 포함할 수 있다. 또한, 제 1 지연기에 의한 지연 시간 t1 및 제2 지연기에 의한 지연 시간 t2는 제 1 플립플롭 및 제 2 플립플롭의 딜레이를 고려하여 듀티비 50:50을 갖는 클럭(CLK)을 생성하기 위해 조절될 수 있으며, 그림 8에 듀티 사이클 보정 회로의 동작을 설명하는 다이어그램을 나타내었다.

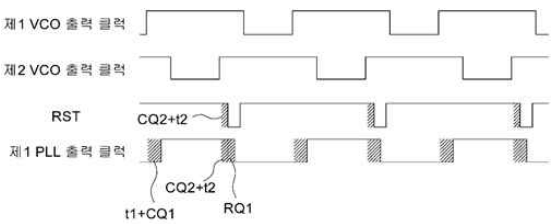

그림 8. 제안한 DCC 동작을 위한 다이어그램
Fig. 8. Diagram for Proposed DCC

클럭 신호 출력부에 입력되는 제 1 VCO 출력 클럭(P0)가 로우에서 하이로 변화(상승 에지)하면, 제 1 지연기에 의한 지연 시간 t1 및 제 1 플

립플롭에 입력된 제 1 VCO 출력 클럭(P0)이 출력에 반영되는 지연 시간 CQ1이 경과한 후에, 제 1 PLL 출력 클럭은 로우에서 하이로 변화한다. 또한, 제 1 PLL 출력 클럭의 파형을 살펴보면, 제 1 지연기에 의한 지연 시간 및 제 2 지연기에 의한 지연 시간은 아래 (식 1)과 같은 관계를 만족해야, 듀티비 50:50을 갖는 클럭(CLK)가 생성될 수 있음을 확인할 수 있다.

$$t1 + CQ1 = CQ2 + t2 + RQ1 \qquad \text{(식 1)}$$

리셋 신호 발생부에 입력되는 제 2 VCO 출력 클럭(P180)이 로우에서 하이로 변화(상승 에지)하면, 제 2 플립플롭에 입력된 제 2 VCO 출력 클럭(P180)가 출력에 반영되는 지연 시간 CQ2 및 제2 지연기에 의한 지연 시간 t2가 경과한 후에, 리셋 신호 발생부의 출력인 리셋 신호가 하이에서 로우로 변화한다. 제 1 플립플롭의 반전 리셋 단(reset)에 입력되는 리셋 신호가 하이에서 로우로 변화하면, 리셋 신호가 출력에 반영되는 지연 시간 RQ1이 경과한 후에, 제 1 PLL 출력 클럭은 하이에서 로우로 변화한다.

5. 결 론

본 논문에서는 고속회로설계에 쓰이는 DLL 및 PLL 등의 클록-듀티 보정회로에 대해 설명하였다. 일반적으로 고속 클럭 발생기에는 임의의 입력 듀티 클럭을 받아 50%의 출력 듀티 클럭 신호를 생성해 낼 수 있는 클럭 듀티 보정회로(Duty-Cycle Correction: DCC)가 DLL이나 PLL 기반 클록 발생기의 입력단이나 출력단에 필수적으로 추가된다. 본 논문에서는 기존의 논 피드백 방식의 문제점에 대해 설명하고 이를 보완하는 새로운 방식의 논 피드백 회로를 제안하였다. 이 회로는 기존구조의 논 피드백 방식에서 발생하는 XOR 미스매치와 초기값 문제점을 해결할 수 있으며, 회로 면적을 기존 대비 50% 이하로 줄일 수 있었다. 제안한 DCC는 디지털 기반의 단순한 구조이기 때문에 스케일 다운이 가능하며 듀티사이클이 중요한 멀티페이지 클록 데이터 복원(Clock Date Recovery : CDR)과 더블 데이터 레이트(Double Data Rate : DDR)클록 등에 활용될 것으로 기대 한다.

참 고 문 헌

[1] S. K. Kao and S. I. Liu, “All-Digital Fast-Locked Synchronous Duty-Cycle Corrector,” IEEE Trans. on Circuits and Systems, Vol.53, pp. 1363-1367, 2006.

[2] B. Kim, K. Oh, L. Kim, and D. Lee, “A 500MHz DLL with Second Order Duty Cycle Corrector for Low Jitter,” IEEE Custom Integrated Circuits Conference, pp. 325-328, 2005.

[3] J. C. Ha, J. H. Lim, Y. J. Kim, W. Y. Jung, J. K. Wee, “Unified all-digital duty cycle and phase correction circuit for QDR I/O interface,” IET Electronics Letters, pp. 1300-1301, 2008.

[4] S. Han and J. Kim, “Hybrid duty-cycle corrector circuit with dual feedback loop,” IET Electronics Letters, Vo.47, No.24, pp. 1311-1313, 2011.

[5] Chan-Hui Jeong, Ammar Abdullah, Young-Jae Min, In-Chul Hwang, Soo-Won Kim, "All-Digital Duty-Cycle Corrector With a Wide Duty Correction Range for DRAM Applications", Very Large Scale Integration (VLSI) Systems IEEE Transactions on, vol. 24, no. 1, pp. 363-367, 2016.

[6] Young-Jae Min, Chan-Hui Jeong, Kyu-Young Kim, Won Ho Choi, Jong-Pil

Son, Chulwoo Kim, Soo-Won Kim, "A 0.31 - 1 GHz Fast-Corrected Duty-Cycle Corrector With Successive Approximation Register for DDR DRAM Applications", VLSI Systems IEEE Transactions on, vol. 20, no. 8, pp. 1524-1528, 2012.

저 자 소 개

유병재(Byung-Jae Yoo)

2008.2 공주대 전기전자정보공학과 (공학사)
2010.2 공주대 정보통신공학과 (공학석사)
2010.3～2018.5 ㈜더즈텍
2018.6～현재 : ㈜SOCDH
<주관심분야> High Speed I/O, CDR, Analog IC

조현묵(Hyun-Mook Cho)

1989.2 고려대학교 전자공학과 공학사
1991.2 고려대학교 전자공학과 석사
1995.2 고려대학교 전자공학과 박사
2005.8～2006.7 Georgia Tech. 방문 교수
2015.8～2016.7 Georgia Tech. 방문 교수
1995.9～현재:공주대 전기전자제어공학부 교수
<주관심분야> 집적회로설계, 고속신호인터페이스IC, PLL & CDR